

PAT-NO: JP02003163556A
DOCUMENT-IDENTIFIER: JP 2003163556 A
TITLE: SIGNAL INTENSITY DETECTION CIRCUIT

PUBN-DATE: June 6, 2003

INVENTOR-INFORMATION:

NAME	COUNTRY
YANO, HITOSHI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP2001363657

APPL-DATE: November 29, 2001

INT-CL (IPC): H03G003/30, H03F001/30, H04B001/16

ABSTRACT:

PROBLEM TO BE SOLVED: To prevent ambient temperature dependence from arising in a signal **intensity detected** value in a device for **detecting an intensity** of a signal inputted to saturation amplifiers connected in a cascade.

SOLUTION: Four-stage saturation amplifiers 101-104 connected in a **cascade** respectively have two **gain** control terminals Vc1 and Vc2. The **gain** control terminal Vc1 applies such a bias as varies no **gain** of the saturation amplifiers according to a temperature. Outputs of the saturation amplifiers are subject to full-wave rectification by commutators 111-114 and are smoothed by LPFs 121-124. The smoothed **intensity** signal of each saturation amplifier is inputted to an adder circuit 141 and used to form an RSSI total output. The smoothed **intensity** signal of each saturation amplifier is inputted to amplitude control bias generators 131-134, and is converted into a signal for the **gain** control terminal Vc2. By a signal inputted from

the **gain** control terminal V_{c2} , the saturation amplifier is controlled lest its saturation level exceed a fixed value.

COPYRIGHT: (C)2003, JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2003-163556
(P2003-163556A)

(43)公開日 平成15年6月6日(2003.6.6)

(51)Int.Cl.⁷
H 03 G 3/30
H 03 F 1/30
H 04 B 1/16

識別記号

F I
H 03 G 3/30
H 03 F 1/30
H 04 B 1/16

デコード^{*}(参考)
B 5 J 0 9 0
D 5 J 1 0 0
A 5 J 5 0 0
R 5 K 0 6 1

審査請求 未請求 請求項の数11 O.L (全10頁)

(21)出願番号

特願2001-363657(P2001-363657)

(22)出願日

平成13年11月29日(2001.11.29)

(71)出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72)発明者 矢野 仁之

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74)代理人 100096253

弁理士 尾身 祐助

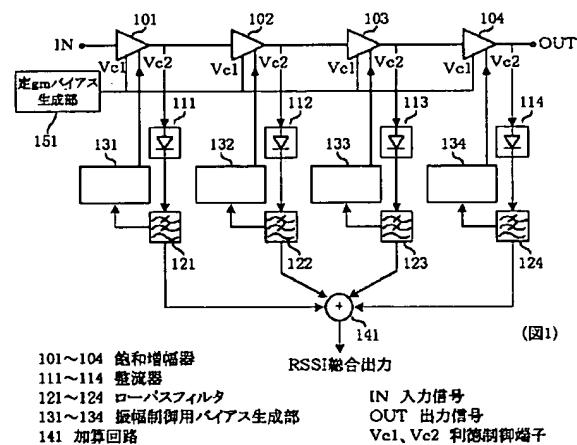
最終頁に続く

(54)【発明の名称】 信号強度検出回路

(57)【要約】

【課題】 縦続接続された飽和増幅器に入力される信号の強度を検出する装置において、信号強度検出値に周囲温度依存性が生じないようにする。

【解決手段】 4段に縦続接続された飽和増幅器101～104のそれぞれ2つの利得制御端子Vc1, Vc2を有している。利得制御端子Vc1は飽和増幅器の利得が温度によって変化しないようなバイアスを加える。飽和増幅器の出力は、整流器111～114で全波整流され、LPF121～124により平滑化される。この平滑化された各飽和増幅器の強度信号は加算回路141に入力されRSSI総合出力を形成するために用いられる。平滑化された各飽和増幅器の強度信号は、また振幅制御バイアス生成部131～134に入力され利得制御端子Vc2用の信号に変換される。利得制御端子Vc2から入力される信号により飽和増幅器はその飽和レベルが一定値を越えないように制御される。



【特許請求の範囲】

【請求項1】 飽和増幅器と、前記飽和増幅器の出力部に設けられた該飽和増幅器の出力信号の強度に比例した直流電圧あるいは直流電流を出力する整流・平滑手段と、を有する信号強度検出回路において、前記飽和増幅器は、温度によって該飽和増幅器の利得が変化しないように利得制御する第1の制御信号が印加される第1の利得制御端子と、前記整流・平滑手段から出力される直流信号から生成される、前記飽和増幅器の飽和振幅値がある振幅を越えないよう利得制御する第2の制御信号が印加される第2の利得制御端子と、を有していることを特徴とする信号強度検出回路。

【請求項2】 縦続接続された複数の飽和増幅器と、各飽和増幅器の出力部に設けられた各飽和増幅器の出力信号の強度に比例した直流電圧あるいは直流電流を出力する整流・平滑手段と、各整流・平滑手段の出力信号を加算して信号強度検出信号を出力する加算回路と、を有する信号強度検出回路において、各飽和増幅器は、温度によって該飽和増幅器の利得が変化しないように利得制御する第1の制御信号が印加される第1の利得制御端子と、当該飽和増幅器の出力部に付設された前記整流・平滑手段から出力される直流信号から生成される、前記飽和増幅器の飽和振幅値がある振幅を越えないよう利得制御する第2の制御信号が印加される第2の利得制御端子と、を有していることを特徴とする信号強度検出回路。

【請求項3】 飽和増幅器と、前記飽和増幅器の入力部と該飽和増幅器の出力部とにそれぞれ設けられた該飽和増幅器の入力信号と該飽和増幅器の出力信号の強度に比例した直流電圧あるいは直流電流を出力する整流・平滑手段と、各整流・平滑手段の出力信号を加算して信号強度検出信号を出力する加算回路と、を有する信号強度検出回路において、前記飽和増幅器は、温度によって該飽和増幅器の利得が変化しないように利得制御する第1の制御信号が印加される第1の利得制御端子と、該飽和増幅器の入力部に付設された前記整流・平滑手段から出力される直流信号から生成される、当該飽和増幅器の飽和振幅値がある振幅を越えないよう利得制御する第2の制御信号が印加される第2の利得制御端子と、を有していることを特徴とする信号強度検出回路。

【請求項4】 縦続接続された複数の飽和増幅器と、初段の飽和増幅器の入力部と各飽和増幅器の出力部にそれぞれ設けられた、初段の飽和増幅器の入力信号と各飽和増幅器の出力信号の強度に比例した直流電圧あるいは直流電流を出力する整流・平滑手段と、各整流・平滑手段の出力信号を加算して信号強度検出信号を出力する加算回路と、を有する信号強度検出回路において、各飽和増幅器は、温度によって該飽和増幅器の利得が変化しないように利得制御する第1の制御信号が印加され

る第1の利得制御端子と、当該飽和増幅器の入力部に付設された前記整流・平滑手段から出力される直流信号から生成される、当該飽和増幅器の飽和振幅値がある振幅を越えないよう利得制御する第2の制御信号が印加される第2の利得制御端子と、を有していることを特徴とする信号強度検出回路。

【請求項5】 前記飽和増幅器の飽和振幅値の最大値を定める基準値がその信号強度を検出する装置の最低温度における飽和増幅器の飽和振幅値から定まる基準値を探用することを特徴とする請求項1～4のいずれかに記載の信号強度検出回路。

【請求項6】 前記第2の制御信号は、前記第2の制御信号を形成するために用いられる前記整流・平滑手段から出力される前記直流信号と前記基準値とが入力される比較器によって形成されることを特徴とする請求項5に記載の信号強度検出回路。

【請求項7】 前記飽和増幅器は第1の差動回路を備えており、前記第1の制御信号が第1の差動回路のテール電流を供給するトランジスタに入力され、そのテール電流を供給するトランジスタがコンスタントg_mバイアスされていることを特徴とする請求項1～6のいずれかに記載の信号強度検出回路。

【請求項8】 前記第1の差動回路の各トランジスタは、そのトランジスタをテール電流供給トランジスタとした第2の差動回路に接続されており、前記第2の差動回路の一方の入力端子には一定電圧が他方の入力端子には前記第2の制御信号が入力されることを特徴とする請求項7に記載の信号強度検出回路。

【請求項9】 前記飽和増幅器は、前記第1の制御信号であるコンスタントg_mバイアス信号が入力される第1のトランジスタと定電流バイアス信号が入力される第2のトランジスタとをそれぞれテール電流供給トランジスタとして並列に有する差動回路を備えており、前記第1のトランジスタと前記第2のトランジスタとが前記第2の制御信号に基づいてオン・オフ動作されることを特徴とする請求項1～6のいずれかに記載の信号強度検出回路。

【請求項10】 温度によって利得が変化することないように制御された、縦続接続された複数の飽和増幅器と、各飽和増幅器の出力部に設けられた各飽和増幅器の出力信号の強度に比例した直流電圧あるいは直流電流を出力する整流・平滑手段と、各整流・平滑手段の出力信号を加算して強度和信号を出力する加算回路と、を有する信号強度検出回路において、前記飽和増幅器のある温度での最大出力振幅に比例した値と前記飽和増幅器の基準温度での最大出力振幅に比例した値との比を算出する除算回路と、前記強度和信号に前記除算回路が算出した前記比を乗じて信号強度検出信号を出力する乗算回路と、を更に有することを特徴とする信号強度検出回路。

【請求項11】 前記飽和増幅器は、テール電流で利得制御が行われる差動回路であって、そのテール電流を供給するトランジスタがコンスタント g_m バイアスされていることを特徴とする請求項10に記載の信号強度検出回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、信号強度検出回路に関し、特にテレビ、ラジオ、CATV、無線等の通信機器における受信信号や送信信号などのキャリア信号の強度を検出する機能を備えた増幅器装置に関するものである。

【0002】

【従来の技術】 信号強度検出器(Received-Signal Strength Indicator)RSSIは受信信号の強度(電力)を測定し表示するものであるが、単に表示するだけでなく得られた信号強度をもとにして、受信機の増幅回路へフィードバックし自動利得制御に利用されたり、送信元へ強度に応じた出力を要求したりする場合に使われる。また送信機では自身の信号強度をRSSIで評価し所望の出力になるよう制御をかけるような場合にも使用される。このように RSSIは無線システムの送受信機の内部でよく使われる重要な機能ブロックとなっている。

【0003】 近年の移動体通信技術の進歩により携帯無線が広く使用されるようになっているがこれらの機器においてもRSSIは使われている。携帯機器では乾電池動作による電源電圧の変動および気温(環境温度)の変動に対応しなければならない。また、携帯機器では消費電流の低減を目的として増幅器には高効率で線形動作が可能な飽和増幅器を用いることが一般化している。従来のRSSIの算出回路の一例を図10に示す。この形態では、飽和増幅器1001～1004をカスケード(継続)接続し、入力端子より例えば中間周波信号等の入力信号INを入力し出力端子より出力信号OUTを得る。各段の飽和増幅器1001～1004は温度によらず一定の増幅度で増幅するように、定 g_m バイアス生成部1051が生成したバイアスにより駆動される。そして、各段の飽和増幅器の出力を整流器1011～1014で全波整流し、更にローパスフィルタ1021～1024で平滑化した後、加算回路1041にて足し合わせてRSSI総合出力を得る。ところで、飽和増幅器が飽和すると全波整流器のDC出力も飽和する。単純に飽和を検知するとRSSIの出力に1が出力されるものと考えると入力電力とRSSI出力の関係が次のようになることがわかる。図10の飽和増幅器の利得が全て同じであれば、2段目は一段の利得の2乗、3段目は3乗、4段目は4乗と指数で出力が大きくなる。図10での最終段である4段目がやっと飽和する入力電力の場合には一段の利得の4乗の利得で増幅して初めてRSSI出力として1が出力される。最終段から2つ目が飽和する大きさの入力電力は3段の増幅回路を通り飽和するので最終段のRSSI出力に加えさらにもう一つの3段目からもRSSI出力の1が出力され、最終段のRSSI

10

20

30

40

50

出力1と合わせてRSSI総合出力は2と出力される。同様に考え初段が飽和する大きな入力電力レベルでは1段目の利得で飽和アンプ全段が飽和するのでRSSIの合計出力は4になることがわかる。以上のように各段のRSSIの出力は利得のn乗の重みが加わっているので、その和であるRSSI総合出力は入力信号電力に対してリニアに変化する。段数を大きくして一段あたりの利得を小さくすれば、入力電力のdBm単位の増加に対して近似的に直線で増加することになる(図9の実線)。

【0004】 而して、図9にあるRSSIの総合出力と入力電力(dBm)の関係は飽和増幅器の利得や飽和電力より変化する。例えば、図9の実線の特性に対して飽和増幅器の利得が小さくなると点線で示したように右にシフトする。また、飽和増幅器の飽和電力が大きくなると破線で示したように傾きが急になる。先に述べたように携帯機器では電源電圧変動、環境温度変動に対してもRSSI出力が安定に同じ出力値を維持することが要求されているので、それらの変動要因に対して飽和増幅器の特性が変わらないようにする必要がある。温度変動によって利得変動が引き起こされ、RSSI出力が図9に点線で示したようにシフトする動作は、飽和増幅器の利得の温度変化を補償するように利得制御を行うことで防ぐことができ、その実現は容易である。バイポーラトランジスタの差動回路を飽和増幅器とする場合にはテール電流を流すトランジスタを絶対温度に比例する定電流源でバイアスすればよい(例えば、特開2001-7654号公報)。具体的には例えば図11に1段分のみを示すように、対数増幅部1101と振幅検出部1102とを有する回路において、対数増幅部1101の差動増幅器を定利得動作させる場合には、そのテール電流を流すトランジスタQ1を絶対温度に比例する定電流源1103でバイアスすればよい。また、図4に示したMOSFETで構成される差動回路を飽和増幅器とする場合には、テール電流を供給するトランジスタをコンスタント g_m バイアス法(例えば「Design of Analog CMOS Integrated Circuit」Behzad Razavi著、MacGraw-Hill、pp. 392-393)によりバイアスすればよい。図4を参照して簡単にその原理を説明する。定 g_m バイアス生成回路411において、M30、M40はpMOSFETでカレントミラーを構成している。M10、M20はnMOSFETで、M20のゲート幅はM10のそれよりK倍大きい。飽和増幅器401において、これらのMOSFETは電流飽和領域で動作しており、それらはゲート電圧-ドレイン電流特性が2乗特性を有するものと仮定する。定 g_m バイアス生成回路411において、Coxを単位面積当たりのゲート酸化膜容量、 μ_n をキャリアの実効移動度としM10のゲート幅/ゲート比を(L/W)とすると、M30とM40の関係から $I_{out}=I_{ref}$ が成り立ち、 I_{out} 、 I_{ref} は数1で与えられる。

【0005】

【数1】

5

$$I_{out}=I_{ref}=\frac{2}{\mu_n C_{ox}(W/L)} \frac{1}{R_s^2} \left(1 - \frac{1}{\sqrt{K}}\right)^2$$

M50を流れる差動回路のテール電流が1対1でI_{ref}からコピーされるとすると差動回路のg_mは数2で与えられる。

【0006】

【数2】

$$g_m = \frac{\sqrt{2}}{R_s} \left(1 - \frac{1}{K}\right)$$

従ってg_mはRSの温度依存性のみとなる。現実的にはRSの温度依存性が残るが、RSの温度係数が既知であれば、バンドギャップリファレンス回路などと組み合わせてその温度依存性をキャンセルすることも可能であるので、温度変化に伴うMOSFETのg_mの変化を補い、差動回路のg_mは一定に保つことが可能になる。

【0007】

【発明が解決しようとする課題】しかし、差動増幅器の負荷抵抗が温度でほとんど変わらないとすれば負荷抵抗とテール電流の積が出力振幅電圧になるので高温程飽和時の出力振幅が大きくなってしまう。飽和出力が変わると全波整流出力も変わってしまうので温度変化によりRSSI出力も変動してしまう。その結果図9において低温時を実線とすると高温時には一点鎖線で示したような特性となってしまい、特に大信号入力時に低温時の特性とかけ離れてしまう問題がある。この解決手段として外部にサーミスタのような温度依存素子の特性を用いて演算器でRSSIの出力を補正する方法があるが、この方法では、外付け部品が必要となるため、装置の1チップ化が困難ことになり、コストおよび小型化の面で問題が起こる。本発明の課題は、上述した従来技術の問題点を解決することであって、その目的は、第1に、温度変化があっても忠実に入力信号強度を再現したRSSI出力が得られるようにすることであり、第2に、このことを外付け部品を用いることなく実現できるようにすることである。

【0008】

【課題を解決するための手段】上記の目的を達成するため、本発明によれば、縦続接続された複数の飽和増幅器と、各飽和増幅器の出力部に設けられた各飽和増幅器の出力信号の強度に比例した直流電圧あるいは直流電流を出力する整流・平滑手段と、各整流・平滑手段の出力信号を加算して信号強度検出信号を出力する加算回路と、を有する信号強度検出回路において、各飽和増幅器は、温度によって該飽和増幅器の利得が変化しないように利得制御する第1の制御信号が印加される第1の利得制御端子と、当該飽和増幅器の出力部に付設された前記整流・平滑手段から出力される直流信号から生成される、前記飽和増幅器の飽和振幅値がある振幅を越えないよう利得制御する第2の制御信号が印加される第2の利得制御端子と、を有していることを特徴とする信号強度検出回路、が提供される。

10

20

30

40

40

50

6

【0009】また、上記の目的を達成するため、本発明によれば、縦続接続された複数の飽和増幅器と、初段の飽和増幅器の入力部と各飽和増幅器の出力部にそれぞれ設けられた、初段の飽和増幅器の入力信号と各飽和増幅器の出力信号の強度に比例した直流電圧あるいは直流電流を出力する整流・平滑手段と、各整流・平滑手段の出力信号を加算して信号強度検出信号を出力する加算回路と、を有する信号強度検出回路において、各飽和増幅器は、温度によって該飽和増幅器の利得が変化しないように利得制御する第1の制御信号が印加される第1の利得制御端子と、当該飽和増幅器の入力部に付設された前記整流・平滑手段から出力される直流信号から生成される、当該飽和増幅器の飽和振幅値がある振幅を越えないよう利得制御する第2の制御信号が印加される第2の利得制御端子と、を有していることを特徴とする信号強度検出回路、が提供される。

【0010】また、上記の目的を達成するため、本発明によれば、温度によって利得が変化することないように制御された、縦続接続された複数の飽和増幅器と、各飽和増幅器の出力部に設けられた各飽和増幅器の出力信号の強度に比例した直流電圧あるいは直流電流を出力する整流・平滑手段と、各整流・平滑手段の出力信号を加算して強度和信号を出力する加算回路と、を有する信号強度検出回路において、前記飽和増幅器のある温度での最大出力振幅に比例した値と前記飽和増幅器の基準温度での最大出力振幅に比例した値との比を算出する除算回路と、前記強度和信号に前記除算回路が算出した前記比を乗じて信号強度検出信号を出力する乗算回路と、を更に有することを特徴とする信号強度検出回路、が提供される。

【0011】

【発明の実施の形態】図1は、本発明の第1の実施の形態を示すブロック図であって、4段に飽和増幅器が接続された例が示されている。すなわち、4段の飽和増幅器101～104が縦続接続され、入力端子より入力信号INが入力され出力端子より出力信号OUTが出力される。各段の飽和増幅器の出力は整流器111～114にて全波整流され、更にローパスフィルタ121～124で平滑化された後、RSSI総合出力を得るために加算回路141に入力される外、各段ごとに設けられた振幅制御用バイアス生成部131～134に入力される。各飽和増幅器には2つの利得制御端子Vc1, Vc2が設けられている。利得制御端子Vc1には、各段の飽和増幅器101～104が温度によらず一定の増幅度で増幅するように、定g_mバイアス生成部151が生成したバイアス信号が入力される。飽和増幅器の直流の信号強度を示す整流器の出力は、振幅制御用バイアス生成部131～134にてバイアス信号に変換された後、利得制御端子Vc2に入力される。この信号により各増幅器回路はその出力が一定の振幅値を越えることがないように駆動される。

【0012】図2は、本発明の第1の実施の形態の具体

的回路構成を示す回路図であり（但し、各段の回路構成は同一であるため、2段目と3段目の回路の図示は省略されている。図6についても同様）、図3は、図2に示す4段縦続接続回路の1段分の回路構成を示す回路図である。図2に示されるように、飽和増幅器201～204は縦続接続に接続されている。各飽和増幅器201～204の出力信号は各段ごとに設けられた整流・平滑部211～214に入力され、RSSI出力を算出するために用いられる。整流・平滑部211～214のそれぞれのRSSI出力は、加算器OP5に入力されてRSSI総合出力を形成するために用いられる。また、整流・平滑部211～214の算出したRSSI出力は比較器OP4を介して飽和増幅器201～204に戻され飽和増幅器201～204の振幅制御に用いられる。図3に示されるように、各段は、差動対を構成するFET M1、M2を有する飽和増幅器301と各段のRSSI出力を算出する整流・平滑部311により構成される。FET M1、M2と負荷抵抗R1、R2の間にはこの差動対の電流を切替えるためのFET M3、M4の対と、FET M5、M6の対が設けられている。FET M1、M2の差動対にテール電流を供給するFETのゲートには定gmバイアスが与えられている。この定gmバイアスの生成回路は図4に示される回路が用いられている。入力信号Inが入力されるFET M1、M2のゲートには、入力バイアスが印加されるpMOSFETと抵抗とによって形成されるバイアス電圧が印加されている。FET M4、M5のゲートには抵抗の分圧比によって決まるバイアスが入力され、FET M3、M6のゲートには抵抗とFET M7の並列回路と抵抗の分圧比によって決まるバイアスが入力される。よって、FET M3、M5は、FET M1をテール電流供給トランジスタとする差動対を構成しており、FET M4、M6は、FET M2をテール電流供給トランジスタとする差動対を構成している。この飽和増幅器の利得制御の原理を簡単に説明する。例えばM3(M6)側にM4(M5)側より十分に高いゲート電圧が与えられているとすると、M3がオン、M4がオフ（同時にM6がオン、M5がオフ）となり差動対を構成するFET M1、M2がダイレクトにそれぞれの負荷R1、R2に接続されるのと等価となるので、最大の利得の条件になる。M3(M6)のゲート電位が低下するとM4(M5)にも電流が流れ始め、M1を流れる電流は負荷R2側に分流され、またM2を流れる電流は負荷R1側に分流されることになり、利得は低下する。M3(M6)のゲート電位がさらに低下してM4(M5)のゲート電位に一致するようになると、差動対を構成するFET M1、M2のそれぞれの電流が半分ずつ負荷R1、R2に流れることになり、逆相同士打ち消しあい信号が出力されなくなる（増幅率0）。すなわち、M3(M6)と M4(M5)とのゲート電位を調整することによりこの飽和増幅器の利得制御を行うことが可能である。本実施の形態ではこの利得制御機能を用いて振幅の制限を行う。

【0013】整流・平滑部311には、それぞれ差動対FETとその差動対FETにテール電流を供給するFETとを有する整流部F1と基準電位生成部D1とが備えられている。テー

10 ル電流を供給するFETは、そのゲートに温度によらない定電流バイアスが与えられることにより定電流駆動されている。二つの差動対FETのゲートには、それぞれ入力バイアスがゲートに入力されたpMOSFETと抵抗との分圧比によって決まるバイアス電圧が印加されている。飽和増幅器301の出力信号は整流部F1の差動対のソースカップルの電位で検出される。整流部F1と同一回路構成の基準電位生成部D1はDC定常動作されており、そのソースカップルのDC電位と整流部F1の出力との差分を検出することにより飽和増幅器の出力信号を得る（P. E. Allen, D. R. Holberg 著、「CMOS Analog Circuit Design」, p. 616-619）。本実施の形態の回路では、差分を検出し高周波成分を落とす働きをするアクティブフィルタOP1を用いて平滑化された整流出力信号を得ている。その平滑化された整流出力は反転増幅器OP2で反転され、RSSI出力として用いられる。反転増幅器OP2の出力信号はさらに減算回路OP3で整流部F1での出力のオフセット分が取り除かれ、比較器OP4にて参照基準電圧と比較される。

20 【0014】飽和増幅器の最大出力振幅V_oは、

$$V_o = I \times R$$

（Iは差動回路のテール電流、Rは差動回路の負荷抵抗）で与えられる。一方、定gmバイアスによりテール電流が供給される差動増幅器では温度上昇に伴って劣化するMOSFETのgmを補償するためにテール電流を増加させる。従って、使用する最低温度で最小出力振幅となり、温度と共に最大出力振幅が増大する。そこで、振幅の温度依存性を小さくするために振幅制限を行う場合には、最低動作温度での最小振幅を基準とすることが望ましい。整流・平滑部311において、参照基準電圧として最低動作温度での飽和増幅器が示す整流出力を比較器OP4に与え、減算回路OP3の出力が参照基準電圧になるようにOP4を用いて飽和増幅器を制御させると、最低動作温度以上の温度では最低動作温度の振幅値以上にならないよう制御される。すなわち、減算回路OP3の出力が参照基準電圧以下の場合には、比較器OP4から“1”が出力されることにより、FET M7がオンして、M3、M6がオン、M4、M5がオフとなり飽和増幅器は最大利得で動作し、定gmバイアスで駆動される。OP3の出力が参照基準電圧以上になると比較器OP4の出力が“0”となり、FET M7がオフして、M3、M6がオンした状態でM4、M5もオンし飽和増幅器の利得が低下して振幅の増加が抑えられる。参照基準電圧はバンドギャップリファレンス回路を用いることにより、温度、電源電圧によらない基準電圧を生成することは容易である。

40 【0015】図5(b)は従来回路による温度が25°C、100°Cの時のRSSIのシミュレーション結果であり両者に大きな開きがある。一方、図5(a)は図3に示す回路を1段として5段縦続接続した回路のRSSIのシミュレーション結果50 を示している。温度が-20°C、80°Cで電源電圧が3Vの時

および-20°Cで3.3Vの条件の結果をそれぞれ実線、点線、破線で示しているが、ほぼ3つのラインは重なっており温度および電源電圧の変動による影響が十分取り除かれていることがわかる。

【0016】図6は、本発明の第2の実施の形態を示す回路図である。図6において、図2に示した第1の実施の形態の部分と同等の部分には下2桁が共通する参照番号が付せられているので、重複する説明は省略する。本実施の形態においては、飽和増幅器の差動回路を構成するFET M1、M2の共通ソースに、定gmバイアス駆動されるFETと定電流バイアス駆動されるFETとが並列に接続されている。そして、このテール電流を供給するFETのゲートは、比較器OP7の出力信号がゲートに入力されるFET M8、M9によってシャントされている。

【0017】比較器OP7には、二つの出力端子が備えられており、減算回路(OP3)の出力が参照基準電圧以下の場合には、一方の出力端子(図の右側の端子)からは“1”が、他方の出力端子からは“0”が出力される。また、参照基準電圧を越えた場合には、一方の出力端子(図の右側の端子)からは“0”が、他方の出力端子からは“1”が出力される。いま、飽和増幅器の振幅が小さく減算回路(OP3)の出力が参照基準電圧以下であるとすると、FET M8がオン、FET M9がオフすることにより、飽和増幅器の差動回路を構成するFET M1、M2は、定gmバイアス駆動されるFETによってテール電流が供給され、コンスタンタンgm状態(最大利得状態)で駆動される。減算回路(OP3)の出力が参照基準電圧以上になると比較器OP7の出力が反転して、FET M8がオフ、FET M9がオンして、飽和増幅器の差動回路を構成するFET M1、M2は、定電流バイアス駆動されるFETによってテール電流が供給されることになり、飽和増幅器の利得が低下して振幅の増加が抑えられる。

【0018】図7は、本発明の第3の実施の形態を示すブロック図である。図7において、図1に示した第1の実施の形態の部分と同等の部分には下2桁が共通する参照番号が付せられているので、重複する説明は省略する。本実施の形態の図1に示した第1の実施の形態と相違する点は、入力信号INと飽和増幅器の出力の整流・平滑部で検出された信号は次段の飽和増幅器の利得制御に用いられる。飽和増幅器や整流・平滑部などの具体的な回路構成は、図2、図3に示した第1の実施の形態と同様であって、振幅値が一定以下の場合には第1の実施の形態と同様に飽和増幅器は利得が温度によらないバイアス方法によりバイアスされ、振幅値が規定の値を超えるとリミッタがかかりRSSI出力は温度に影響しなくなる。本実施の形態においては、飽和増幅器や整流・平滑部の回路構成を第1の実施の形態と同様のものとしたが、これに代え第2ないし第3の実施の形態の回路構成を採用するようにしてもよい。

【0019】図8は、本発明の第4の実施の形態を示す

50

ブロック図である。図8において、図1に示した第1の実施の形態の部分と同等の部分には下2桁が共通する参照番号が付せられているので、重複する説明は省略する。本実施の形態による方法では、各飽和増幅器は利得を温度によらず一定になるようにバイアスしておき、その温度によって変化するバイアス電流値からRSSIの総合出力に補正をかけるようにしている。ここで、飽和増幅器801～804として図4に示した定gmバイアスされた飽和増幅器を想定する。使用する最低温度におけるテール電流バイアス電流をI0とする。それより高温時では差動型飽和増幅器の利得低下を補償するためにテールバイアス電流I1はI0より大きくなる。飽和出力Voは飽和増幅器の負荷をR、テールバイアス電流をIとして、 $Vo=RI$ となるので飽和出力はテール電流に比例する。従ってテール電流がI1になる温度のときはテール電流I0の時と比べて、飽和電圧がI1/I0倍になっている。従ってRSSIの出力値にI0/I1の係数を掛け合わせることによりRSSIの温度依存性が補償できる。具体的には図8の定gmバイアス生成部851では上記I1を生成し、基準温度バイアス生成部861ではI0を生成し、除算演算回路部871でI0/I1を算出する。そして、乗算演算回路部881にて、加算器841から出力されるRSSI出力の和信号にI0/I1をかけることで補正されたRSSI総合出力を算出する。基準温度バイアスにおける電流I0はバンドギャップリファレンス回路のような電源電圧、温度に依存しないバイアス回路で容易に生成することができる。また演算回路部はアナログ回路で構成することもできるし、A/D変換してディジタル的に処理することも可能である。

【0020】以上、好ましい実施の形態について説明したが、本発明はこれら実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲内において適宜の変更が可能なものである。例えば、用いられているFETの導電型を全て反転しても良い。また、バイポーラトランジスタを用いた飽和増幅器についても本発明を適用することができる。さらに、縦続接続される飽和増幅器の段数は実施の形態のものには限定されず、より多くても少なくともよく、1段だけであってもよい。

【0021】

【発明の効果】以上説明したように、本発明は、飽和増幅器を定gmバイアスにて駆動するとともに、整流・平滑部によって検出される飽和増幅器の振幅に基づいて飽和増幅器の振幅制限を行うものであるので、本発明によれば、温度変化に影響を受けることなく、正確な受信信号の信号強度を検出できることができる。また全て半導体デバイスで構成可能であるので、ワンチップ化が可能であり外付け部品を使う必要がなくなる。

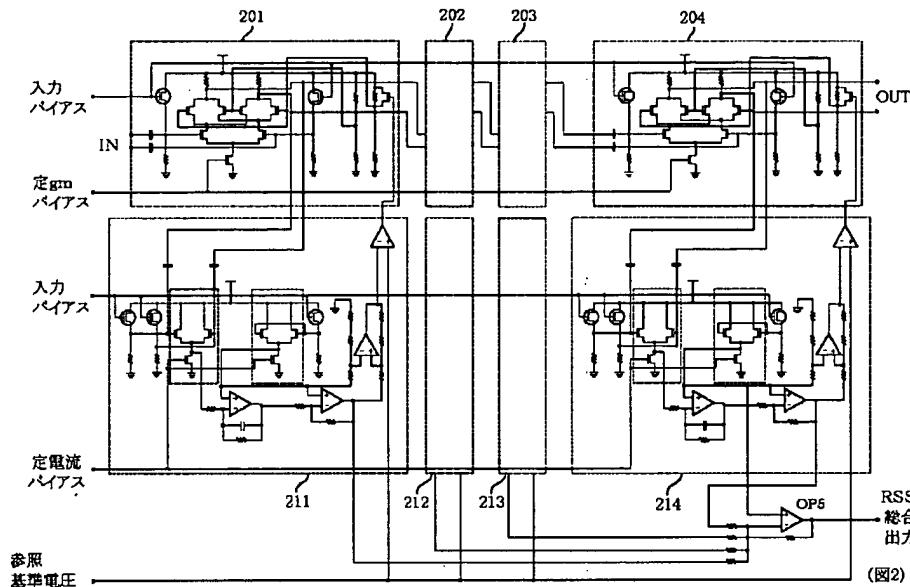
【図面の簡単な説明】

【図1】 本発明の第1の実施の形態を示すブロック

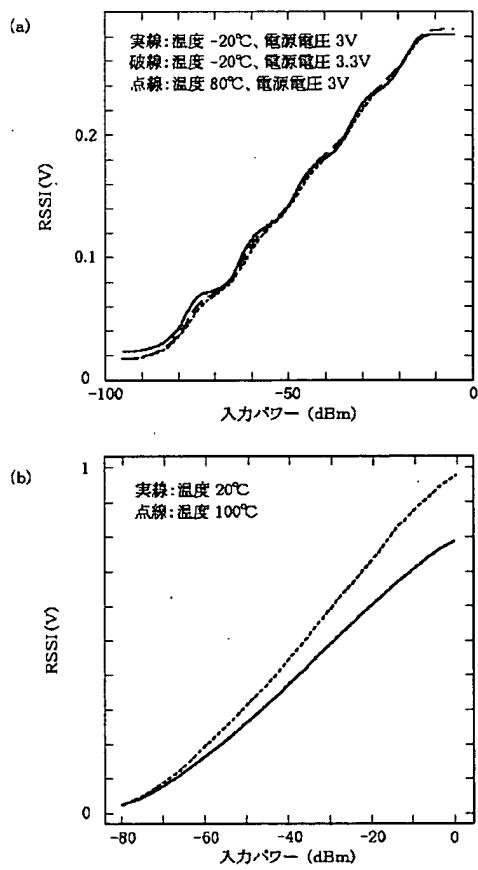
図。

【図2】 本発明の第1の実施の形態を示す回路図。

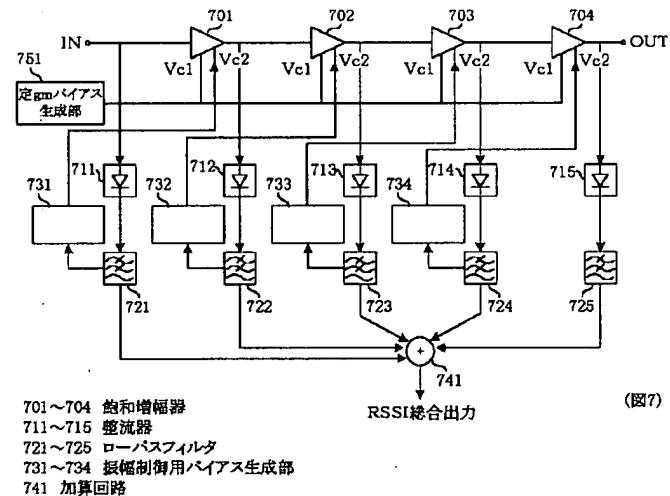
【図2】



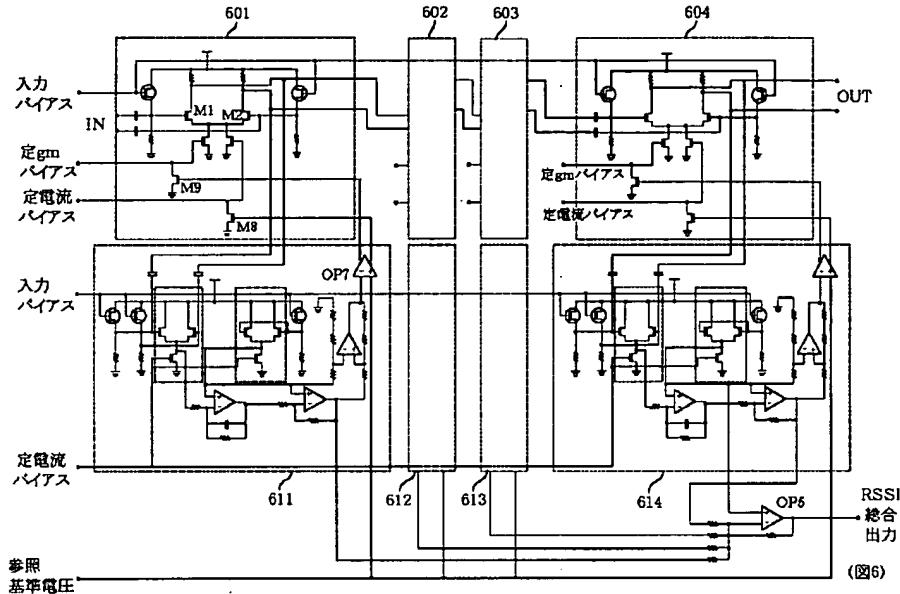
【図5】



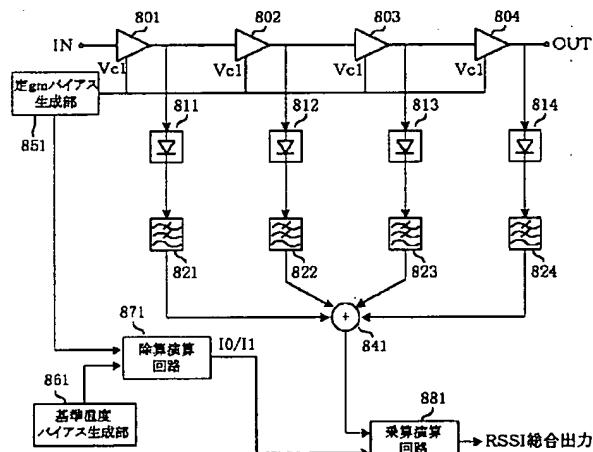
【図7】



【図6】

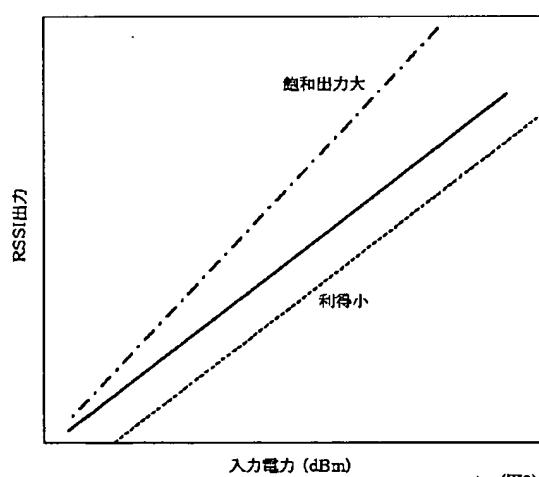


【图8】



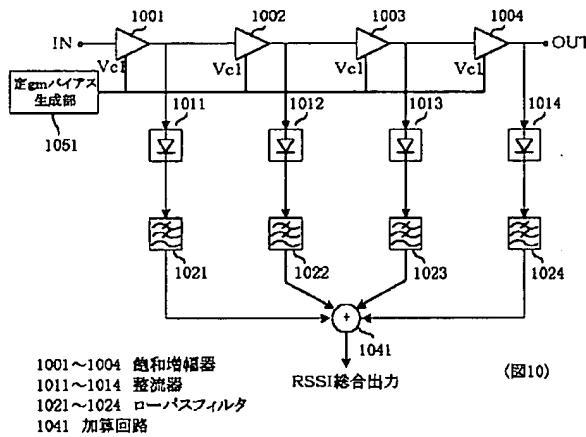
801~804 饱和增幅器
811~814 整流器
821~824 ローパスフィルタ
841 加算回路

(图8)

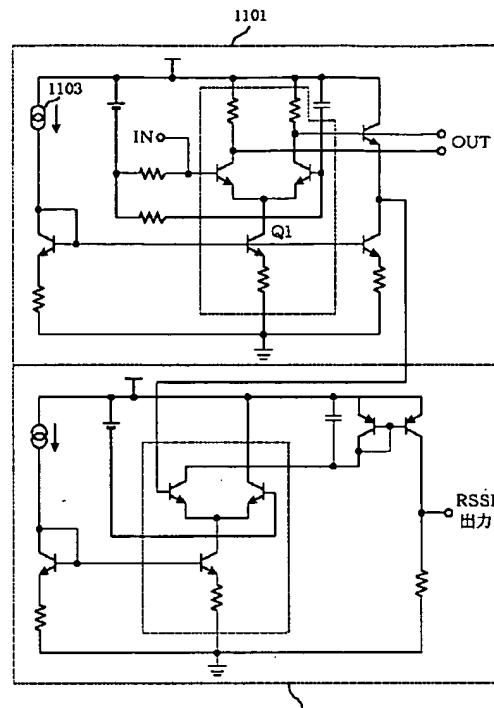


(図9)

【図10】



【図11】



フロントページの続き

F ターム(参考) 5J090 AA01 CA02 CA91 CN01 FA10
 FA17 FN06 FN10 HA10 HA17
 HA19 HA25 HA29 KA00 KA01
 KA02 KA04 KA05 KA06 KA09
 KA11 KA12 KA17 KA26 KA42
 KA51 MA08 MA11 MA21 SA15
 TA01 TA02
 5J100 JA01 LA00 LA02 QA01 QA04
 SA01 SA02 SA03
 5J500 AA01 AC02 AC91 AF10 AF17
 AH10 AH17 AH19 AH25 AH29
 AK00 AK01 AK02 AK04 AK05
 AK06 AK09 AK11 AK12 AK17
 AK26 AK42 AK51 AM08 AM11
 AM21 AS15 AT01 AT02 NC01
 NF06 NF10
 5K061 CC25 DD04 JJ02